

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **09-027692**

(43)Date of publication of application : **28.01.1997**

(51)Int.Cl.

H05K 9/00

H01R 13/658

(21)Application number : **07-176052**

(71)Applicant : **OKI INF SYST
OKI ELECTRIC IND CO LTD**

(22)Date of filing : **12.07.1995**

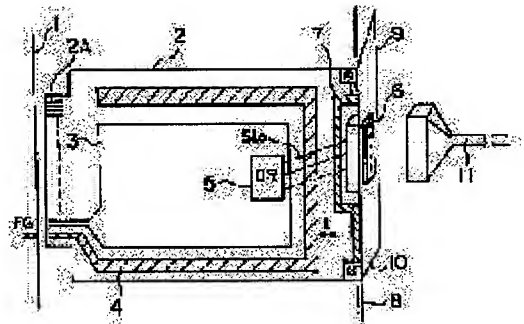
(72)Inventor : **KADOTA HARUNOBU**

(54) INTERFACE STRUCTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To lessen an external interface in common-mode electromagnetic radiation (EMI).

SOLUTION: A driver receiver IC 5 mounted on a multilayered interface board 2 transmits or receives an interface signal Sio for an outer equipment through the intermediary of an interface signal pattern, a connector 6, and a cable 11 formed on the board 2. The IC 5 is operated by a voltage fed from a power supply pattern formed on the intermediate layer of the board 2, and the power supply pattern is formed avoiding the interface signal pattern and the connector 6. The vicinities of the interface circuit 13 mounted with the IC 5 and the power supply pattern and the circumference of the connector 6 are grounded to FG(frame ground) signal patterns 4 and 7 and a conductor layer formed on the rear of the board 2. Therefore, EMI induced by the power supply pattern in the interface signal pattern and the interface connector 6 can be lessened.



LEGAL STATUS

[Date of request for examination] 19.02.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3385131

[Date of registration] 27.12.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-27692

(43)公開日 平成9年(1997)1月28日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 5 K 9/00			H 0 5 K 9/00	R
H 0 1 R 13/658		7815-5B	H 0 1 R 13/658	

審査請求 未請求 請求項の数2 O L (全 5 頁)

(21)出願番号 特願平7-176052

(22)出願日 平成7年(1995)7月12日

(71)出願人 000140579

株式会社沖情報システムズ
群馬県高崎市双葉町3番1号

(71)出願人 000000295

沖電気工業株式会社
東京都港区虎ノ門1丁目7番12号

(72)発明者 門田 晴信

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74)代理人 弁理士 柿本 恭成

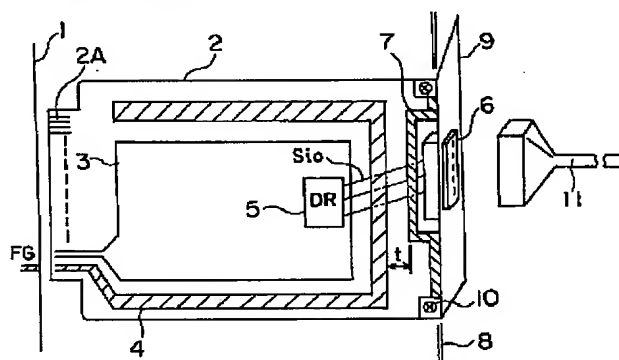
(54)【発明の名称】 インタフェース構造

(57)【要約】

【目的】 外部インタフェースのコモンモード電磁放射 (E M I) を減ずる。

【構成】 多層基板のインタフェース基板2に搭載のドライバレシーバIC5は、基板2に形成されたインタフェース信号パターン、コネクタ6及びケーブル11を介して、外部機器に対するインタフェース信号Sioを送受信する。IC5は基板2の中層に形成された電源パターンから供給された電圧で動作するが、その電源パターンはインタフェース信号パターンとコネクタ6とを避けて形成されている。また、IC5を搭載したインタフェース回路部13及び電源パターンの周辺とコネクタ6の周囲とは、FG (フレームグランド) 信号パターン4、7と基板2の裏面に形成された導電層等でFGに落されている。そのため、電源パターンによって、インタフェース信号パターン、インタフェースコネクタ6に誘起されるEMIが低減する。

1: マザーボード
2: インタフェース基板
3: インタフェース回路部
4, 7: FG信号パターン
6: コネクタ
8: 筐体
11: インタフェースケーブル



本発明の実施例のインタフェース構造

【特許請求の範囲】

【請求項 1】 インタフェース信号伝達用インタフェースケーブルを収容するインタフェースコネクタと、前記インタフェースコネクタを搭載し該インタフェースコネクタを該装置本体に接続する多層基板であって、前記インタフェース信号を送受信するインタフェース回路と該インタフェース回路及び該インタフェースコネクタ間を接続するインタフェース信号パターンと該インタフェース回路に対する電源パターンとを搭載するインタフェース基板とで、構成されたインタフェース構造において、前記多層基板の中層に形成された前記電源パターンは、前記インタフェース基板のインタフェースコネクタの搭載部と前記インタフェース信号パターンの形成部分とを避けて形成したことを特徴とするインタフェース構造。

【請求項 2】 前記インタフェース基板の表層或いは中層に形成されたパターンで構成され、前記インタフェース回路及び電源パターンの周辺をシールドするシールド手段か、

前記インタフェース基板の表層或いは中層に形成されたパターンで構成され、前記インタフェースコネクタの周辺を囲むと共に前記装置の筐体に接続し、前記インタフェース回路及び電源パターンと該インタフェースコネクタ間の電磁界を分断するアイソレーション手段か、または、前記シールド手段と前記アイソレーション手段の両方を設けたことを特徴とする請求項 1 記載のインタフェース構造。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、制御装置間等における不要な電磁放射を抑制するインタフェース構造に関するものである。

【0002】

【従来の技術】 最近のパーソナルコンピュータに代表されるように、マイクロプロセッサを内蔵した制御装置等では、インタフェースケーブルを用いて外部と接続する外部インタフェースを採用するものが多くなっている。ところが、このインタフェースケーブルからの不要な電磁放射（以下、EMI という）が他の装置等に影響を与えるので、問題となっている。そのため、インタフェースケーブルに、シールド付きケーブル（以下、単にシールドケーブルという）を使用し、少しでも、不要な EMI を減じるようにしている。しかしながら、シールドケーブルを使用しても、コモンモードでシールドケーブルに乗って外部に放射される EMI に対しては効果がなく、対策できない場合が多かった。そこで、多くの装置では、インタフェースケーブルにトロイダルコアを巻き付けて、コモンモードの EMI を減じる対策を採っていた。

【0003】

【発明が解決しようとする課題】 しかしながら、従来の

インタフェース構造を有した制御装置では、次の（1）～（3）のような課題があった。

（1） トロイダルコアをインタフェースケーブルに巻き付けることが、コストアップの要因になっていた。

（2） トロイダルコアをインタフェースケーブルに巻き付けることにより、ケーブル重量が増加すると共に、特殊なケーブル押えが必要となり、筐体が複雑になっていた。

（3） 高速伝送用のインタフェースでは、その伝送特性保証の必要性から、トロイダルコアそのものを使用することができない。よって、コモンモードの EMI に対する対策が困難となっていた。

【0004】

【課題を解決するための手段】 第 1 の発明は、前記課題を解決するために、インタフェース信号伝達用インタフェースケーブルを収容するインタフェースコネクタと、前記インタフェースコネクタを搭載しそのインタフェースコネクタを該装置本体に接続する多層基板であって、前記インタフェース信号を送受信するインタフェース回路と該インタフェース回路及び該インタフェースコネクタ間を接続するインタフェース信号パターンと該インタフェース回路に対する電源パターンとを搭載するインタフェース基板とで、構成されたインタフェース構造において、次のような構造を講じている。即ち、前記多層基板の中層に形成された前記電源パターンは、前記インタフェース基板のインタフェースコネクタの搭載部と前記インタフェース信号パターンの形成部分とを避けて形成している。第 2 の発明は、第 1 の発明における前記インタフェース基板の表層或いは中層に形成されたパターンで構成され、前記インタフェース回路及び前記電源パターンの周辺をシールドするシールド手段か、前記インタフェース基板の表層或いは中層に形成されたパターンで構成され、前記インタフェースコネクタの周辺を囲むと共に前記装置の筐体に接続し、前記インタフェース回路及び電源パターンと該インタフェースコネクタ間の電磁界を分断するアイソレーション手段か、または、前記シールド手段と前記アイソレーション手段の両方を設けている。

【0005】

【作用】 第 1 の発明によれば、以上のようにインターフェース構造を構成したので、多層基板のインタフェース基板に搭載されたインタフェース回路は、その中層に形成された電源パターンから供給された電源で動作し、外部機器に対してインタフェース信号を送受信する。インタフェース信号は、インタフェース信号パターン、インタフェースコネクタ、及びインタフェースケーブルを介して外部機器と送受信される。ここで、多層基板の中層に形成された電源パターンは、インタフェース信号パターンの形成部分とインタフェースコネクタの搭載部分とから、避けて形成されている。即ち、コモンモードの E

3

MIを誘起する電源パターンと、それらインタフェース信号パターン及びインタフェースコネクタとの距離が離される。第2の発明によれば、インタフェース基板の表層或いは中層に形成されたパターンによって、シールド手段或いはアイソレーション手段が構成される。第1の発明のインタフェース構造にシールド手段を設けることによって、インタフェース回路及び電源パターンの周辺がシールドされる。また、アイソレーション手段を設けることによって、インタフェースコネクタの周辺が囲まれて装置の筐体に接続され、インタフェース回路及び電源パターンとインタフェースコネクタ間の電磁界が分断される。従って、前記課題を解決できるのである。

【0006】

【実施例】図1は、本発明の実施例を示すインタフェース構造の説明図である。このインタフェース構造は、図示しないマイクロプロセッサを備えた制御装置等に採用されるものである。制御装置本体のマザーボード1に結合部2Aを介して接続されるインタフェース基板2の表面には、インタフェース信号を送受信するインタフェース回路部3と、該インタフェース回路部3の周辺を囲んで太く形成されたフレームグラウンド（以下、FG信号パターンという）4が形成されている。インタフェース回路部3に、ドライバレシーバIC5（DR）等のIC回路が搭載されている。基板2の結合部2Aと反対側に端部には、インタフェースコネクタ6が搭載されている。コネクタ6の周辺にも、FG信号パターン7が太く形成されている。FG信号パターン4とFG信号パターン7の間は、所定の間隔tが設けられている。FG信号パターン4は、マザーボード1を介して本体装置のフレームグラウンド（FG）に接続される構成になっている。また、この基板2のコネクタ6側の端部には、本体装置の筐体8に該基板2を取り付けるための、金属ブラケット9がネジ10で固定されている。ネジ10で固定することにより、FG信号パターン7が金属ブラケット9を介して本体装置の筐体8に接続され、結果として、FG信号パターン7は、本体装置のFGとして大地に接続される構成になっている。なお、コネクタ6の外装も金属で作成されており、コネクタ6の外装もFG信号パターン7と同電位となる構成である。ドライバレシーバIC5とコネクタ6が接続されている。コネクタ6は、インタフェースケーブル11を収容するものであり、インタフェースケーブル11とコネクタ6とドライバレシーバIC5とを介してインタフェース信号Sioが送受信される構成である。

【0007】図2は、図1中のインタフェース基板の構造を示す断面図であり、図1と共通の要素には、共通符号が付されている。インタフェース基板2は多層基板であり、該基板2の中層には、2つの電源パターン21、22が形成されている。例えば、電源パターン21は5V、電源パターン22はグラウンド（GND）にそれぞれ

4

設定されるようになっている。基板2の表面に、各FG信号パターン4、7及びインタフェース回路部3が形成され、コネクタ6もこの表面に搭載されている。一方、基板2の裏面にも、金属等の導電体で構成された2つの遮蔽膜23、24が形成されている。遮蔽膜23はスルーホール25を介してFG信号パターン4に接続され、遮蔽膜24は、基板2の中層に導電体で形成された導電壁26でFG信号パターン7に接続されている。基板2の中層において、ドライバレシーバIC5の各端子5a、5bとコネクタ6の各端子6a、6bの間は、インタフェース信号パターン27a、27bでそれぞれ接続されている。導電壁26は、基板2を横切る壁のような形状となっており、ドライバレシーバIC5とコネクタ6を繋ぐインタフェース信号パターン27a、27bの部分以外において、導電壁26は電源パターン21、22及びドライバレシーバIC5とコネクタ6間で発生する電磁界を、分断するようになっている。電源パターン21、22は、導電壁26の手前でカットされ、基板2のインタフェースコネクタ6の搭載部と、インタフェース信号Sioを伝達するインタフェース信号パターン27a、27bの形成された部分とを、避けて形成されている。結果的に、本体装置のFGに接続されるFG信号パターン4、遮蔽膜23が、シールド手段を構成し、インタフェース回路部3と電源パターン21、22が、シールドバリアで囲まれる構成となっている。又、コネクタ6の周辺では、FG信号パターン7と導電壁26と金属ブラケット9と遮蔽膜24がアイソレーション手段を構成し、コネクタ6が、電源パターン21、22に対してシールドされている。

【0008】図3は、図1、2の各部の機能を説明する図であり、図1及び図2に共通する要素には、共通符号が付されている。この図3を参照しつつ、図1の動作を説明する。ドライバレシーバIC5は、電源パターン21、22から与えられた電圧5Vで動作し、インタフェース信号Sioの送受信処理を行なう。例えば、ドライバレシーバIC5の出力する送信用のインタフェース信号が、インタフェース信号パターン27aに与えられてコネクタ6に伝達される。ドライバレシーバIC5から出力されたインタフェース信号は、さらにコネクタ6からインタフェースケーブル11を介して外部機器に伝達される。受信するインタフェース信号は、インタフェースケーブル11を介してコネクタ6に与えられ、それが、例えばインタフェース信号パターン27bを介して、ドライバレシーバIC5に供給されて受信される。ここで、シールド手段のFG信号パターン4と遮蔽膜23は、電源パターン21、22に誘起されて発生するコモンモードのEMIに対し、ルーティングエリアとして働き、図3のように、EMIを本体装置のFGに落す。また、アイソレーション手段の導電壁26、FG信号パターン7、コネクタ6の外装、及び金属ブラケット9

は、アイソレーションバリアとして働き、インタフェース回路部 3 から誘起される EMI を本体装置の FG に落す。これらシールドとアイソレーションバリアによって、電源パターン 21, 22 に誘起されるコモンモード系の EMI が、インタフェース信号 Sio に乗って、外部に放射されることが回避される。また、僅かに漏れた微小な EMI 成分も、アイソレーションバリアにて高周波的に筐体 8 にドロップするので、外部に放出される EMI が、さらに軽減される。

【0009】 以上のように、本実施例では、多層基板の中層に形成される電源パターン 21, 22 を途中でカットし、基板 2 のインタフェースコネクタ 6 の搭載部と、インタフェース信号 Sio を伝達するインタフェース信号パターン 27a, 27b の形成された部分とを、避けて形成している。また、シールド手段とアイソレーション手段を設けた構成にしている。そのため、次の (1) ~ (5) のような効果が、期待できる。

(1) 電源パターン 21, 22 から信号 27a, 27b に誘起される EMI が低く抑えられるので、インタフェースケーブル 11 にトロイダルコアを巻き付ける必要がなくなり、制御装置等のコストを低くすることができる。

(2) トロイダルコアを使用できないような高速のインタフェースに対しても、伝送特性に影響を与えずに、EMI を低減できる。

(3) EMI を低減する構成が、FG 系パターンで構成されているので、特別の部品を必要としない。即ち、低コストで EMI 対策が実現される。

(4) インタフェースケーブル 11 にトロイダルコアを巻き付けないので、特別なケーブル押さえの機構を筐体に持つ必要がなく、装置の構造が簡素化できる。

(5) 制御装置等の電源自身に、フィルタ等の特別な回路が不要であり、制御装置内等の電源装置のコストを低減できる。

なお、本発明は、上記実施例に限定されず種々の変形が可能である。多層基板でなく、表面層に電源パターンを有した場合にも、それをカットし、該表面層にシールドバリアとアイソレーションバリアを形成することで、上記と同様の効果が得られることは言うまでもないが、コモンモードの EMI のレベルによっては、シールドバリア或いはアイソレーションバリアのいずれか一方を省略することも可能である。また、多層基板に形成された電源ライン 21, 22 を、コネクタ 6 周辺或いはインタフェースパターン 27a, 27b を避けて形成するだけでも、電源ライン 21, 22 の誘起する EMI を低減できる。

【0010】

【発明の効果】 以上詳細に説明したように、第 1 の発明によれば、多層基板の中層に形成された電源パターンを、基板のインタフェースコネクタの搭載部とインタフェース信号パターンの形成された部分とを避けて形成しているので、その電源パターンとの距離が遠くなり、その電源パターンに誘起されてインタフェースコネクタとインタフェース信号パターンに乗るコモンモードの EMI が、小さくなる。よって、例えば、次の (i) から (v) のような効果が得られる。

(i) インタフェースケーブルにトロイダルコアを巻き付ける必要がなくなり、制御装置等のコストを低くすることができる。

(ii) トロイダルコアを使用できないような高速のインタフェースに対しても、伝送特性に影響を与えずに EMI を低減できる。

(iii) 特別の部品を用いずに EMI 対策が可能となっている。即ち、低コストで EMI 対策が実現される。

(iv) インタフェースケーブルにトロイダルコアを巻き付けないので、装置本体の構造が簡素化できる。

(v) 制御装置等の電源自身に、フィルタ等の特別な回路がとなり、制御装置等における電源装置のコストを低減できる。

第 2 の発明によれば、第 1 の発明に対して、シールド手段かアイソレーション手段かまたはその両方を設けているので、第 1 の発明の効果を、さらに確実にできる。

【図面の簡単な説明】

【図 1】 本発明の実施例を示すインタフェース構造の説明図である。

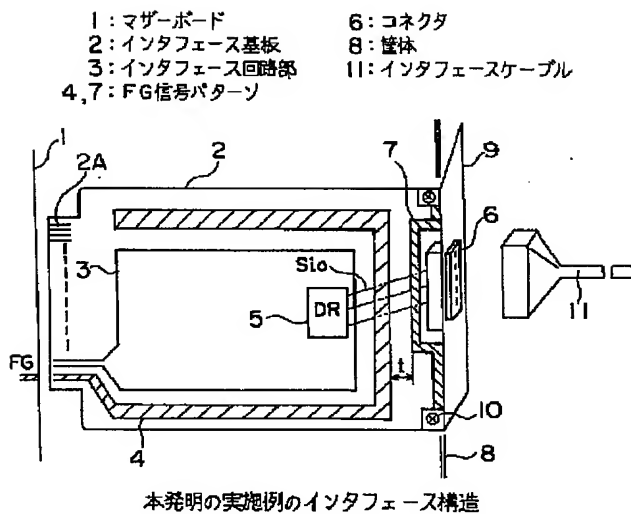
【図 2】 図 1 中のインタフェース基板の構造を示す断面図である。

【図 3】 図 1, 2 の各部の機能を説明する図である。

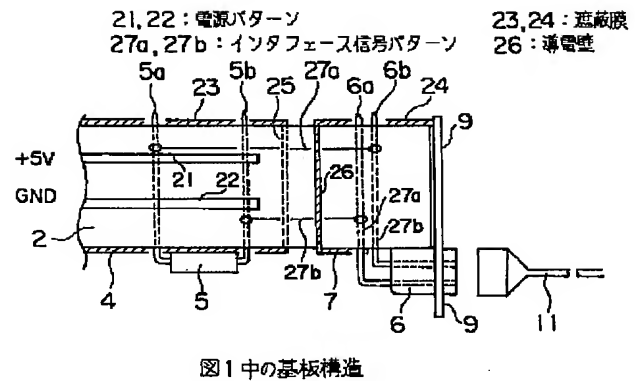
【符号の説明】

1	マザーボード
2	インタフェース基板
3	インタフェース回路部
4, 7	FG 信号パターン
5	ドライバレシーバ IC
6	インタフェースコネクタ
8	筐体
11	インタフェースケーブル
21, 22	電源パターン
27a, 27b	インタフェース信号パターン
23, 24	導電膜
26	導電壁

【図 1】



【図 2】



【図 3】

